

F03007

14 15 - 013021

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月19日

出 願 番 号

Application Number:

特願2002-210396

[ST.10/C]:

[JP2002-210396]

出 願 人

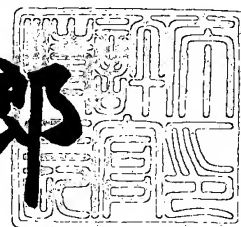
Applicant(s):

安藤電気株式会社

2003年 6月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3047558

【書類名】 特許願

【整理番号】 S02-6-6

【あて先】 特許庁長官 殿

【国際特許分類】 G01J 3/00

【発明者】

【住所又は居所】 東京都大田区蒲田五丁目 2 9 番 3 号 安藤電気株式会社
内

【氏名】 前田 実

【特許出願人】

【識別番号】 000117744

【氏名又は名称】 安藤電気株式会社

【代理人】

【識別番号】 100099195

【弁理士】

【氏名又は名称】 宮越 典明

【選任した代理人】

【識別番号】 100116182

【弁理士】

【氏名又は名称】 内藤 照雄

【手数料の表示】

【予納台帳番号】 030889

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909752

【包括委任状番号】 0014291

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 分数分周器を用いた位相同期ループ回路

【特許請求の範囲】

【請求項 1】 第 1 の電圧制御発振器の出力を第 1 の分数分周器にて分周して、基準周波数と比較した偏差をローパスフィルタを介して、前記第 1 の電圧制御発振器の出力周波数を制御する第 1 の PLL 段と、

前記第 1 の PLL 段の出力を分周して、第 2 の PLL 段の基準周波数信号として入力する第 2 の分数分周器と、

を備え前記第 2 の PLL 段の第 2 の電圧制御発振器からの出力信号を取出すことを特徴とする分数分周器を用いた位相同期ループ回路。

【請求項 2】 前記第 2 の PLL 段は、第 2 の電圧制御発振器の出力を分周器にて分周して、基準周波数と比較した偏差をローパスフィルタを介して、前記第 2 の電圧制御発振器の出力周波数を制御する構成であることを特徴とする請求項 1 に記載の分数分周器を用いた位相同期ループ回路。

【請求項 3】 第 1 の電圧制御発振器の出力を DDS を介して、基準周波数と比較した偏差に応じて、前記第 1 の電圧制御発振器の出力周波数を制御する第 1 の PLL 段と、

前記第 1 の PLL 段の出力を基準周波数信号とし、第 2 の電圧制御発振器の出力を分数分周器にて分周した出力と比較した偏差に応じて、前記第 2 の電圧制御発振器の出力周波数を制御する第 2 の PLL 段と、

を備え前記第 2 の PLL 段の第 2 の電圧制御発振器からの出力信号を取出すことを特徴とする分数分周器を用いた位相同期ループ回路。

【請求項 4】 第 1 の電圧制御発振器の出力を第 1 の分数分周器にて分周して、基準周波数と比較した偏差に応じて、前記第 1 の電圧制御発振器の出力周波数を制御する第 1 の PLL 段と、

前記第 1 の PLL 段の出力を基準周波数信号とし、第 2 の電圧制御発振器の出力を DDS を介した出力と比較した偏差に応じて、前記第 2 の電圧制御発振器の出力周波数を制御する第 2 の PLL 段と、

を備え前記第 2 の PLL 段の第 2 の電圧制御発振器からの出力信号を取出すこと

を特徴とする分数分周器を用いた位相同期ループ回路。

【請求項 5】 前記第 1 の PLL 段の位相比較器の前段にバンドパスフィルタを挿入したことを特徴とする請求項 1 ～ 4 のいずれか 1 項に記載の位相同期ループ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、位相同期ループ（PLL）回路に関し、特に比較周波数よりも細かいステップの周波数設定が可能な、分数分周器を用いた位相同期ループ回路に関する。

【0002】

【従来の技術】

この種の位相同期ループ回路としては、図 5 に記載のものが知られている。

図 5 において、基準周波数 1 は、位相比較器（FPD）2 において、電圧制御発振器 4 の出力を分数分周器 5 によって分周した信号とを位相比較して得られた偏差信号をフィルタ（FIL）を介して前記電圧制御発振器 4 の出力周波数を制御する構成となっている。

【0003】

次に、分数分周器を使用した位相同期ループの動作原理を図 7 ～ 図 1 0 を用いて説明する。

図 7 では、電圧制御発振器 2 7 の出力が可変分周器 2 1 で分周され、その出力は位相比較器 2 4 にて基準信号 2 5 と位相比較され、その出力が L P F 2 6 を通して電圧制御発振器 2 7 の周波数制御入力 3 4 に接続される P L L （位相同期ループ）回路を構成している。

【0004】

図 8 は可変分周器 2 1 とその出力信号 F1 をカウントするカウンタ 3 6 とその値によって可変分周器 2 1 の分周比を切り換える切換制御器 3 5 を示している。平均分周数 $N + L / A$ を得る場合、例えば、入力信号を可変分周器 2 1 の可変分

周 N にて分周し、信号ライン 29 に出力した $F1$ を、カウンタ 36 で $(A-L)$ までカウントし、その後可変分周器 21 を $(N+1)$ 分周に切り換えて、その出力 $F1$ を A までカウントする。

【0005】

そして、 A までカウントしたら再び可変分周器 21 を N 分周に切り換える。

即ち、図 9 の様に N 分周を $(A-L)$ 回、 $(N+1)$ 分周を L 回連続して使用するため、この繰り返しを周期 T とした基本周波数及びその高調波成分が信号ライン 29 に発生する。

この成分の内、位相比較器 24、及び LPF 26 (PLL ループフィルタ)を通過する成分が電圧制御発振器 21 に変調を与え、出力周波数 $F0$ の近傍に不要周波数成分を発生させる。(図 10 参照)

また、 $N+L/A$ 分周を得るための別の方法として、分周値を平均した結果が $N+L/A$ となる様に分周値を切換えても良い。

【0006】

この繰り返し周期 T の周波数が低い場合、その不要周波数成分の影響を軽減するためには、 LPF のカットオフ周波数を低く設定する必要がある。

そうすると、 PLL のループ応答が遅くなり、周波数の安定するまでのロックアップ時間が長くなってしまうという欠点がある。

【0007】

【発明が解決しようとする課題】

図 5 の位相同期ループ回路では、分数分周の分母の値が、2 のべき乗となる分数分周回路又は、分数分周器内蔵の IC を使用した PLL 回路では、基準周波数を 2 のべき乗で割った値の整数倍の出力周波数が得られる。

【0008】

しかし、図 5 に示す位相同期ループ回路では、基準周波数を 2 のべき乗の値ではなく、例えば 5 MHz や 10 MHz 等の切りの良い値にすると、所望出力周波数に対して、特定の周波数以外は端数が出てしまう。

【0009】

図 5 の場合で、出力周波数 F_{out} は、

$F_{out} = F_{ref} \cdot (M + A/B)$ となり、 $B = 2^b$ の場合には、

$$F_{out} = F_{ref} \cdot (M + A/2^b)$$

であるから、 F_{out} の最小設定単位が $F_{ref}/2^b$ となる。(上式において、 F_{out} 、 F_{ref} 以外は0以上の整数である。)

したがって、図5において、例えば、 $F_{ref} = 10\text{ MHz}$ 、 $b = 18$ の場合には、 F_{out} の最小設定単位は、38、146、・・・Hz となり、出力周波数 F_{out} は、特定周波数の場合以外に端数が生じる。

【0010】

外部基準信号入力付きの高周波信号発生器などの基準周波数は、10 MHzが一般的であるが、図6のように高周波信号発生器を同じ10 MHzで同期させようとする場合において、一方の高周波発生器-1を図5に示す如き従来の分数分周器を用いたPLL回路によるシンセサイザを構成し、他方の高周波発生器-2を普通のPLL回路によるシンセサイザー(図1の第2のPLL段)で構成すると、同じ周波数設定に関わらず、端数の分だけ周波数ずれを生じて、同期が取れないことになる。

【0011】

本発明の課題(目的)は、分数分周の分母の値が、2のべき乗となる分数分周回路又は、分数分周器内蔵のICを使用した位相同期ループ回路で、基準周波数が2のべき乗ではなく、切りの良い周波数(例えば10 MHz)とした場合にも、端数の生じない出力周波数を得られる位相同期ループ回路を提供することにある。

また、分数分周、DDSを用いる場合に、設定値によって生じる不要信号(スプリアス)を除去できる位相同期ループ回路を提供することにある。

【0012】

【課題を解決するための手段】

前記課題を解決するために、第1の電圧制御発振器の出力を第1の分数分周器にて分周して、基準周波数と比較した偏差をローパスフィルタを介して、前記第1の電圧制御発振器の出力周波数を制御する第1のPLL段と、前記第1のPLL段の出力を分周して、第2のPLL段の基準周波数信号として入力する第2の分数分周器とを備え前記第2のPLL段の第2の電圧制御発振器からの出力信号を取出す構

成とする。（請求項 1）

【 0 0 1 3 】

また、前記第 2 の PLL 段は、第 2 の電圧制御発振器の出力を分周器にて分周して、基準周波数と比較した偏差をローパスフィルタを介して、前記第 2 の電圧制御発振器の出力周波数を制御する構成とする。（請求項 2）

【 0 0 1 4 】

また、第 1 の電圧制御発振器の出力を DDS を介して、基準周波数と比較した偏差に応じて、前記第 1 の電圧制御発振器の出力周波数を制御する第 1 の PLL 段と、前記第 1 の PLL 段の出力を基準周波数信号とし、第 2 の電圧制御発振器の出力を分数分周器にて分周した出力と比較した偏差に応じて、前記第 2 の電圧制御発振器の出力周波数を制御する第 2 の PLL 段とを備え前記第 2 の PLL 段の第 2 の電圧制御発振器からの出力信号を取出す構成とする。（請求項 3）

【 0 0 1 5 】

また、第 1 の電圧制御発振器の出力を第 1 の分数分周器にて分周して、基準周波数と比較した偏差に応じて、前記第 1 の電圧制御発振器の出力周波数を制御する第 1 の PLL 段と、前記第 1 の PLL 段の出力を基準周波数信号とし、第 2 の電圧制御発振器の出力を DDS を介した出力と比較した偏差に応じて、前記第 2 の電圧制御発振器の出力周波数を制御する第 2 の PLL 段とを備え前記第 2 の PLL 段の第 2 の電圧制御発振器からの出力信号を取出す構成とする。（請求項 4）

また、請求項 1 ～ 4 のいずれか 1 項における前記第 1 の PLL 段の位相比較器の前段にバンドパスフィルタを挿入した構成とする。（請求項 5）

【 0 0 1 6 】

【発明の実施の形態】

本発明の位相同期ループ回路を図 1、図 2 及び図 3 を用いて説明する。

図 1 は、本発明の位相同期ループ回路の第 1 の構成例を示すブロック図である。

図 1 において、基準周波数（Fref）1 は、第 1 の位相比較器（FPD）2 において、第 1 の電圧制御発振器（VCO）4 の出力 F 1 を、第 1 の分数分周器 5 で分周した信号をバンドパスフィルタ（BPF）6（このバンドパスフィルタ 6 は必ずしもな

くとも良い) を介して位相比較して得られた偏差信号を第 1 のフィルタ (FIL) 3 を介して前記第 1 の電圧制御発振器 4 の出力周波数を制御する第 1 の PLL 段で、この部分はバンドパスフィルタの部分以外は図 5 の構成と同様である。

【 0 0 1 7 】

そして、前記第 1 の電圧制御発振器 4 の出力 F 1 を、第 2 の分数分周器 7 で分周して、後述の第 2 の PLL 段の基準周波数として入力する。

第 2 の PLL 段は、前記第 1 の電圧制御発振器 4 の出力 F 1 を第 2 の分数分周器 7 で分周した基準周波数は、第 2 の位相比較器 (FPD) 8 において、第 2 の電圧制御発振器 (VCO) 10 の出力を、分周器 11 で分周した信号とを位相比較して得られた偏差信号を第 2 のフィルタ (FIL) 9 を介して前記第 2 の電圧制御発振器 10 の出力周波数 Fout を制御する構成である。

【 0 0 1 8 】

図 1 の場合には、出力周波数 Fout は、

$$F1 = F_{ref} \cdot (M + A/B)$$

$$F_{out}/K = F1 / (N + C/D) \quad \text{より、}$$

$$F_{out} = K \cdot F_{ref} \cdot (M + A/B) / (N + C/D)$$

$$= K \cdot F_{ref} \cdot D \cdot (M \cdot B + A) / (B \cdot (N \cdot D + C))$$

ここで、 $B = 2^b$ 、 $D = 2^d$ の場合、

$$F_{out} = K \cdot F_{ref} \cdot 2^{(d+h)} \cdot (M \cdot 2^b + A) / (N \cdot 2^d + C) \quad \text{となる。}$$

(上式にて、 F_{ref} 、 F_{out} 、 $F1$ 以外は、0 以上の整数である。)

【 0 0 1 9 】

即ち、 $(N \cdot 2^d + C) = 10^e$ となるように N 、 d 、 C を選ぶことができる。

(e は正の整数)

例えば、 $F_{ref} = 10 \text{ MHz}$ 、 $b = d = 18$ の時、 $N = 38$ 、 $C = 38528$ とすれば、 $(N \cdot 2^d + C) = 10^7$ となるので、

$$F_{out} = K \cdot 10^7 (M \cdot 2^b + A) / 10^7$$

$$= K \cdot (M \cdot 2^b + A)$$

となり、最小設定単位は、" K " Hz とすることができる。

即ち、設定周波数に対して、端数はでない。

なお、図中の、バンドパスフィルタ 6 は、分数分周器 5 で発生する不要信号成分（スプリアス）を除去するのに有効であるが、必ずしも必須の構成ではなく、無くても良い。

【 0 0 2 0 】

図 2 は、本発明の位相同期ループ回路の第 2 の構成例を示すブロック図である。

図 2 において、基準周波数（Fref）1 は、第 1 の位相比較器（FPD）2 において、第 1 の電圧制御発振器（VCO）4 の出力 F 2 を、後述の DDS 1 2 で分周した信号をバンドパスフィルタ（BPF）6（このバンドパスフィルタ 6 は必ずしもなくとも良い）を介して位相比較して得られた偏差信号を第 1 のフィルタ（FIL）3 を介して前記第 1 の電圧制御発振器 4 の出力周波数を制御する第 1 の PLL 段で、この部分はバンドパスフィルタ及び分数分周器 5 に代えて DDS が使用されている部分以外は図 5 の構成と同様である。

【 0 0 2 1 】

ここで、前記 DDS（Direct-Digital-Synthesizer）は、図 4 に示す如く、入力クロック Fi に対して、 $F_o = G / 2^h \cdot F_i$ の周波数出力を得ることができる。

この時、G は最小値 1 ～最大値 $2^h - 1$ を取り得る。（上式にて、Fi、Fo 以外は、0 以上の整数である。）

【 0 0 2 2 】

そして、前記第 1 の電圧制御発振器 4 の出力 F 2 を、後述の第 2 の PLL 段の基準周波数として入力する。

第 2 の PLL 段では、前記第 1 の電圧制御発振器 4 の出力 F 2 である基準周波数は、第 2 の位相比較器（FPD）8 において、第 2 の電圧制御発振器（VCO）10 の出力を、第 1 の分数分周器 5 で分周した信号とを位相比較して得られた偏差信号を第 2 のフィルタ（FIL）9 を介して前記第 2 の電圧制御発振器 10 の出力周波数 Fout を制御する構成である。

【 0 0 2 3 】

図 2 の場合には、出力周波数 Fout は、

$$F_1 = F_{ref} \cdot (2^h / G)$$

$$F_{out} = F_2 \cdot (M + A / B) \quad \text{より、}$$

$$F_{out} = F_{ref} \cdot 2^h \cdot (M + A / B) / G$$

ここで、 $B = 2^b$ の場合、

$$F_{out} = K \cdot F_{ref} \cdot 2^{(h-b)} \cdot (M \cdot 2^b + A) / G \quad \text{となる。}$$

(上式にて、 F_{ref} 、 F_{out} 、 F_2 以外は、0 以上の整数である。)

即ち、 $2^{(h-b)} / G = 10^e$ となるように h 、 b 、 G を選ぶことができる。

(e は正の整数)

【0024】

例えば、 $F_{ref} = 10 \text{ MHz}$ 、 $b = 18$ 、 $h = 32$ の時、 $G = 2^{14} \times 10^5$ とすれば、 $2^{(h-b)} / G = 10^{-5}$ となるので、

$$\begin{aligned} F_{out} &= 10^7 \cdot 10^{-5} (M \cdot 2^b + A) \\ &= 100 \cdot (M \cdot 2^b + A) \end{aligned}$$

となり、最小設定単位は、 100 Hz とすることができる。

即ち、設定周波数に対して、端数はでない。

なお、図中の、バンドパスフィルタ 6 は、分数分周器 5 で発生する不要信号成分 (スプリアス) を除去するのに有効であるが、必ずしも必須の構成ではなく、無くても良い。

【0025】

図 3 は、本発明の位相同期ループ回路の第 3 の構成例を示すブロック図である。

図 3 において、基準周波数 (F_{ref}) 1 は、第 1 の位相比較器 (FPD) 2 において、第 1 の電圧制御発振器 (VCO) 4 の出力 F_1 を、第 1 の分数分周器 5 で分周した信号をバンドパスフィルタ (BPF) 6 (このバンドパスフィルタ 6 は必ずしもなくとも良い) を介して位相比較して得られた偏差信号を第 1 のフィルタ (FIL) 3 を介して前記第 1 の電圧制御発振器 4 の出力周波数を制御する第 1 の PLL 段で、この部分はバンドパスフィルタの部分以外は図 5 の構成と同様である。

【0026】

そして、前記第 1 の電圧制御発振器 4 の出力 F_3 を、後述の第 2 の PLL 段の基

準周波数として入力する。

第 2 の PLL 段は、図 2 の第 1 の PLL 段と実質的に同じで、前記第 1 の電圧制御発振器 4 の出力 F_3 を第 2 の位相比較器 (FPD) 8 において、第 2 の電圧制御発振器 (VCO) 10 の出力を、DDS 12 で分周した信号とを位相比較して得られた偏差信号を第 2 のフィルタ (FIL) 9 を介して前記第 2 の電圧制御発振器 10 の出力周波数 F_{out} を制御する構成である。

【0027】

図 3 の場合には、出力周波数 F_{out} は、

$$F_1 = F_{ref} \cdot (M + A/B)$$

$$F_{out} = F_3 (2^h / G) \quad \text{より、}$$

$$F_{out} = F_{ref} \cdot (M + A/B) (2^h / G)$$

ここで、 $B = 2^b$ 、 $D = 2^d$ の場合、

$$F_{out} = F_{ref} \cdot 2^{(h-b)} \cdot (M \cdot 2^b + A) / G \quad \text{となる。}$$

(上式にて、 F_{ref} 、 F_{out} 、 F_3 以外は、0 以上の整数である。)

即ち、 $2^{(h-b)} / G = 10^e$ となるように h 、 b 、 G を選ぶことができる。

(e は正の整数)

【0028】

例えば、 $F_{ref} = 10 \text{ MHz}$ 、 $b = 18$ 、 $h = 32$ の時、 $G = 2^{14} \times 10^5$ とすれば、 $2^{(h-b)} / G = 10^5$ となるので、

$$F_{out} = 10^7 \cdot 10^{-5} (M \cdot 2^b + A)$$

$$= K \cdot (M \cdot 2^b + A)$$

となり、最小設定単位は、 100 Hz とすることができる。

即ち、設定周波数に対して、端数はでない。

なお、図中の、バンドパスフィルタ 6 は、分数分周器 5 で発生する不要信号成分 (スプリアス) を除去するのに有効であるが、必ずしも必須の構成ではなく、無くても良い。

【0029】

【発明の効果】

請求項 1 に記載の発明では、第 1 の電圧制御発振器の出力を第 1 の分数分周器

にて分周して、基準周波数と比較した偏差をローパスフィルタを介して、前記第 1 の電圧制御発振器の出力周波数を制御する第 1 の PLL 段と、前記第 1 の PLL 段の出力を分周して、第 2 の PLL 段の基準周波数信号として入力する第 2 の分数分周器とを備え前記第 2 の PLL 段の第 2 の電圧制御発振器からの出力信号を取出す構成とすることによって、切りの良い周波数（例えば 1 0 MHz）とした場合にも、端数の生じない出力周波数を得られる位相同期ループ回路が得られる。

【 0 0 3 0 】

また、請求項 2 に記載の発明では、前記第 2 の PLL 段は、第 2 の電圧制御発振器の出力を分周器にて分周して、基準周波数と比較した偏差をローパスフィルタを介して、前記第 2 の電圧制御発振器の出力周波数を制御する通常の PLL 段に適用できる。

【 0 0 3 1 】

また、請求項 3 に記載の発明では、第 1 の電圧制御発振器の出力を DDS を介して、基準周波数と比較した偏差に応じて、前記第 1 の電圧制御発振器の出力周波数を制御する第 1 の PLL 段と、前記第 1 の PLL 段の出力を基準周波数信号とし、第 2 の電圧制御発振器の出力を分数分周器にて分周した出力と比較した偏差に応じて、前記第 2 の電圧制御発振器の出力周波数を制御する第 2 の PLL 段とを備え前記第 2 の PLL 段の第 2 の電圧制御発振器からの出力信号を取出す、請求項 1 とは別の構成によっても、切りの良い周波数（例えば 1 0 MHz）とした場合にも、端数の生じない出力周波数を得られる位相同期ループ回路が得られる。

【 0 0 3 2 】

また、請求項 4 に記載の発明では、第 1 の電圧制御発振器の出力を第 1 の分数分周器にて分周して、基準周波数と比較した偏差に応じて、前記第 1 の電圧制御発振器の出力周波数を制御する第 1 の PLL 段と、前記第 1 の PLL 段の出力を基準周波数信号とし、第 2 の電圧制御発振器の出力を DDS を介した出力と比較した偏差に応じて、前記第 2 の電圧制御発振器の出力周波数を制御する第 2 の PLL 段とを備え前記第 2 の PLL 段の第 2 の電圧制御発振器からの出力信号を取出す、請求項 1 及び 2 とは別の構成によっても、切りの良い周波数（例えば 1 0 MHz）とした場合にも、端数の生じない出力周波数を得られる位相同期ループ回路が得

られる。

【 0 0 3 3 】

また、請求項 5 に記載の発明では、前記第 1 の PLL 段の位相比較器の前段にバンドパスフィルタを挿入することによって、分数分周器で発生する不要信号成分（スプリアス）を除去するのに有効である。

【図面の簡単な説明】

【図 1】

本発明の位相同期ループ回路の第 1 の構成例を示すブロック図である。

【図 2】

本発明の位相同期ループ回路の第 2 の構成例を示すブロック図である。

【図 3】

本発明の位相同期ループ回路の第 3 の構成例を示すブロック図である。

【図 4】

DDS (Direct-Digital-Synthesizer) の構成例を示すブロック図である。

【図 5】

従来の位相同期ループ回路の構成を示すブロック図である。

【図 6】

位相同期ループを用いた高周波信号発生器を同期させる構成例である。

【図 7】

分数分周器を用いた位相同期ループ回路の動作原理を説明するための構成を示すブロック図である。

【図 8】

分数分周器を用いた位相同期ループ回路の動作原理を説明するための詳細な構成を示すブロック図である。

【図 9】

分数分周器の動作原理を説明するための図である。

【図 1 0】

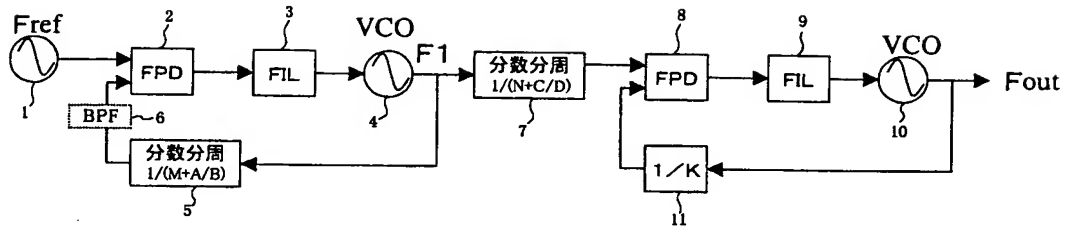
出力周波数 F_{out} の近傍に不要周波数成分の発生を示す図である。

【符号の説明】

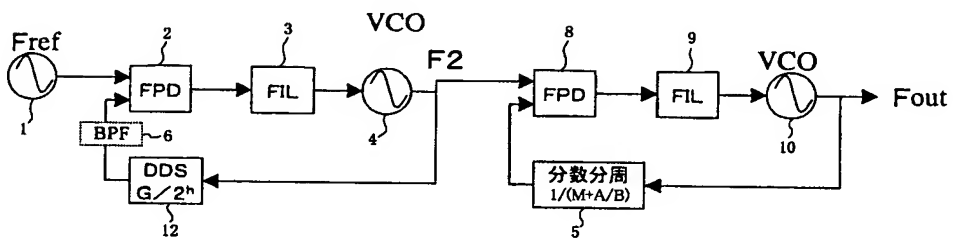
1	基準周波数 (Fref)
2, 8	位相比較器 (FPD)
3, 9	フィルタ (FIL)
4, 1 0	電圧制御発振器 (VCO)
5, 7	分数分周器
6	バンドパスフィルタ (BPF)
1 1	分周器
1 2	DDS (Direct-Digital-Synthesizer)

【書類名】 図面

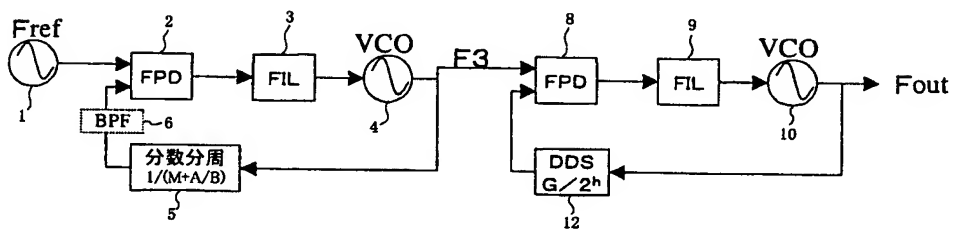
【図 1】



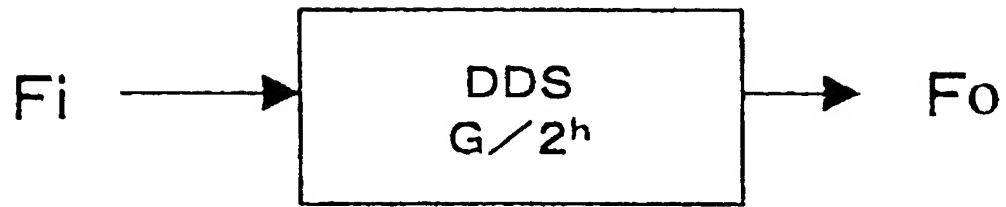
【図 2】



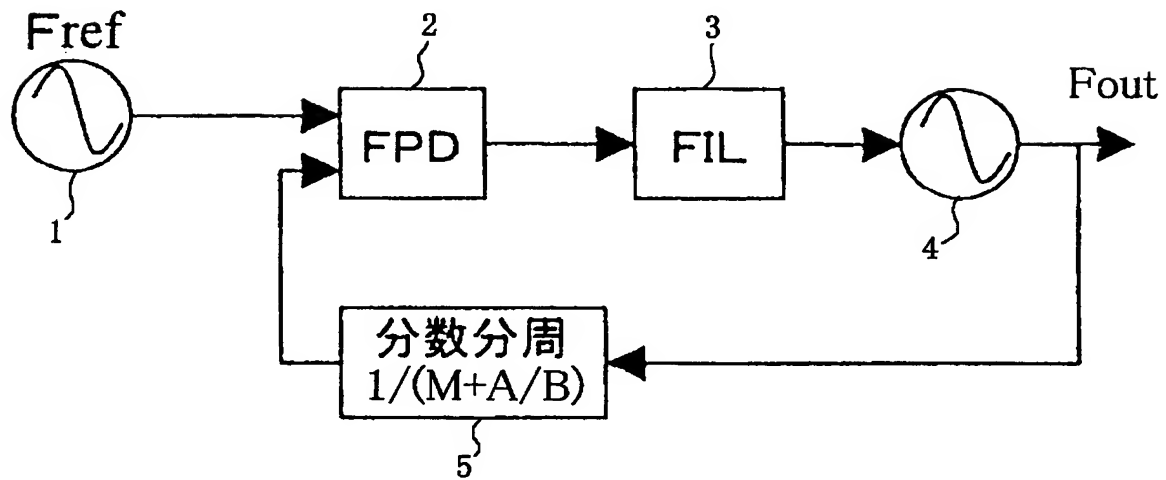
【図 3】



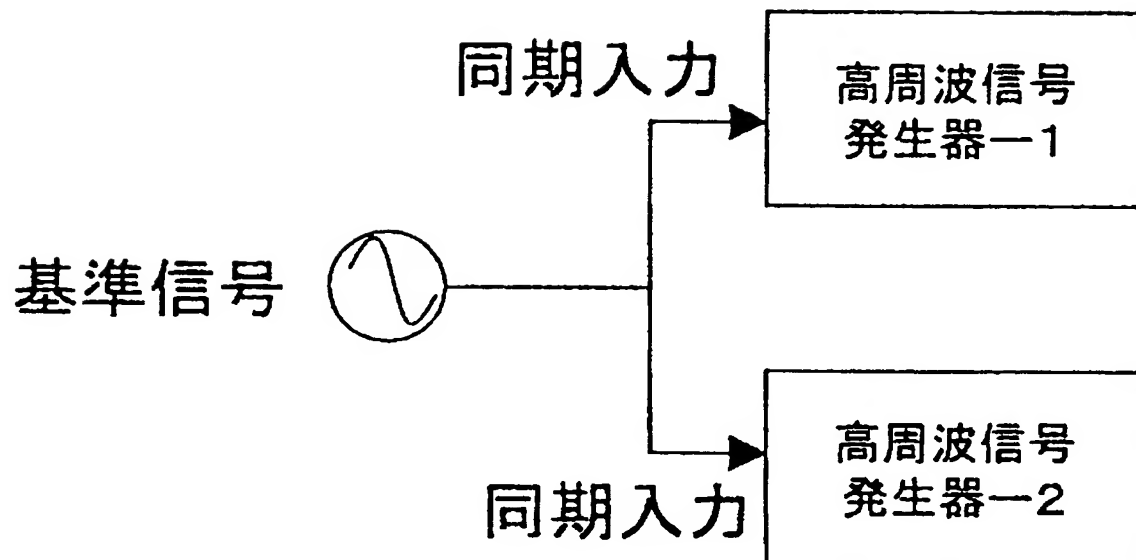
【図 4】



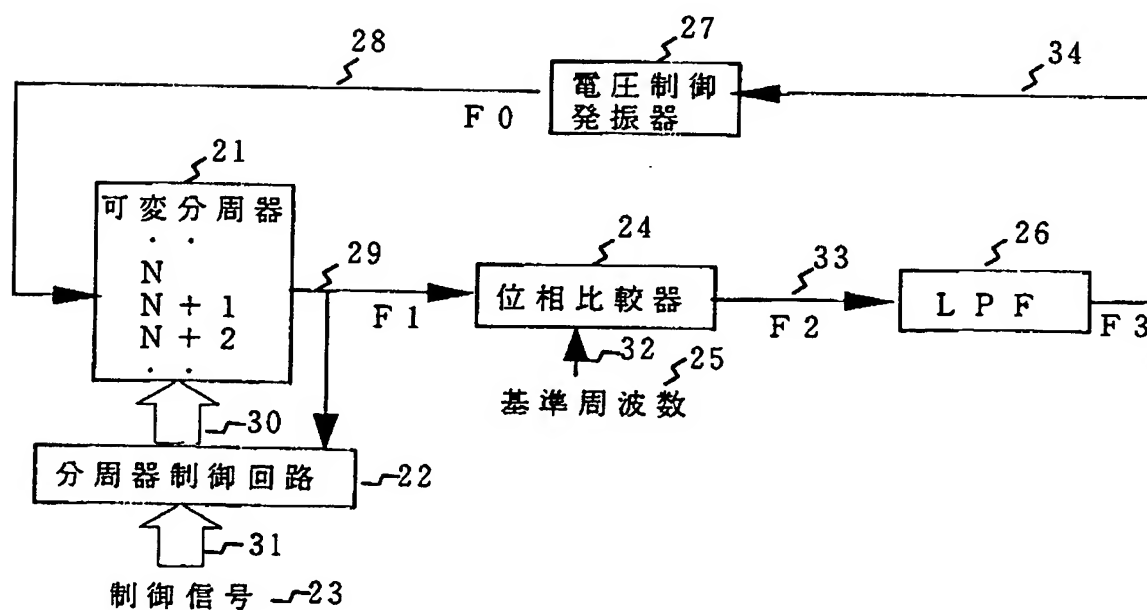
【図 5】



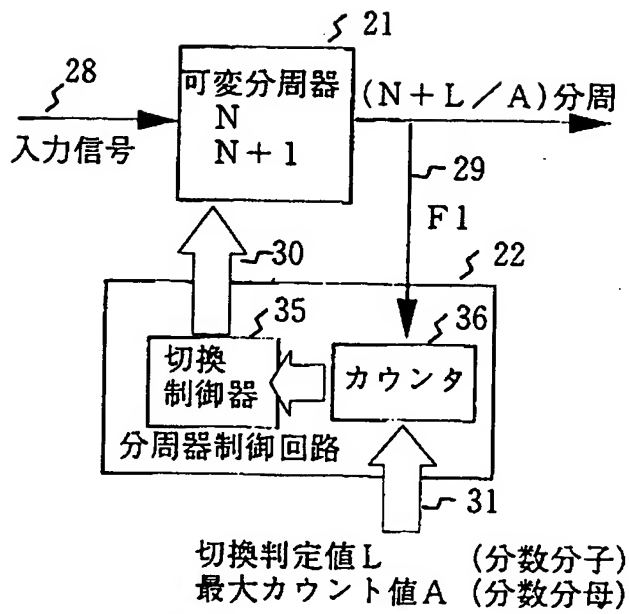
【図 6】



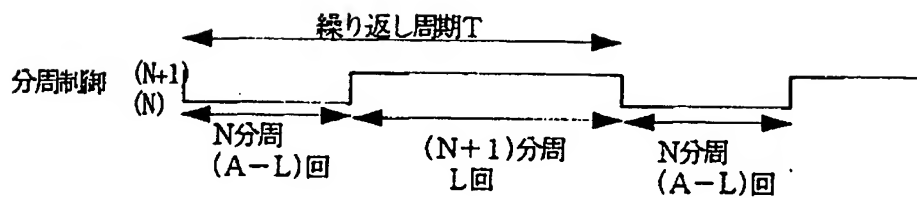
【図 7】



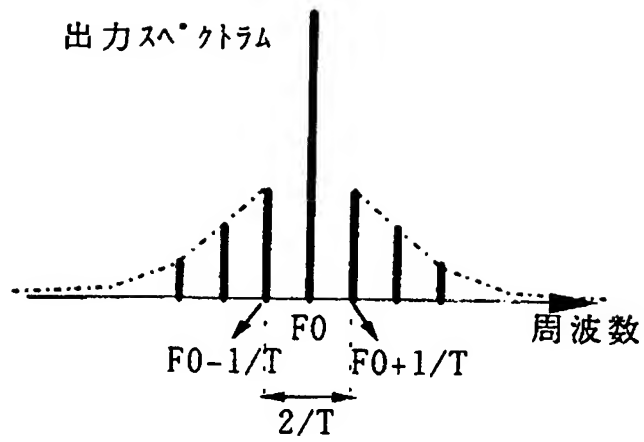
【図 8】



【図 9】



【図 1 0】



【書類名】 要約書

【要約】

【課題】 基準信号を切りの良い周波数（例えば 1 0 MHz）とした場合にも、端数の生じない出力周波数を得られる位相同期ループ回路を提供する。

【解決手段】 第 1 の電圧制御発振器の出力を第 1 の分数分周器にて分周して、基準周波数と比較した偏差をローパスフィルタを介して、前記第 1 の電圧制御発振器の出力周波数を制御する第 1 の PLL 段と、前記第 1 の PLL 段の出力を分周して、第 2 の PLL 段の基準周波数信号として入力する第 2 の分数分周器とを備え前記第 2 の PLL 段の第 2 の電圧制御発振器からの出力信号を取出す分数分周器を用いた位相同期ループ回路。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願2002-210396	
受付番号	50201059067	
書類名	特許願	
担当官	第一担当上席	0090
作成日	平成14年 7月22日	

<認定情報・付加情報>

【提出日】	平成14年 7月19日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000117744]

1. 変更年月日 2001年 4月13日

[変更理由] 住所変更

住 所 東京都大田区蒲田五丁目29番3号
氏 名 安藤電気株式会社